# Nome, cognome, matricola ................................…………….......................……………………...............................................

# Calcolatori Elettronici (12AGA) – esame del 20.7.2021

# Domande a risposta chiusa (è necessario rispondere correttamente ad almeno 6 domande).

# Tempo: 15 minuti.

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 1 | Si consideri un flip flop di tipo SR. Quante porte logiche sono necessarie per la sua realizzazione? |  | | | | | |
|  |  |  | | | |  |  |
| 2 | Quale tra le seguenti soluzioni permette di realizzare un sommatore per numeri interi senza segno con il minimo costo hardware? | Sommatore seriale | | | | A |  |
| Sommatore combinatorio sintetizzato | | | | B |  |
| Ripple carry Adder | | | | C |  |
| Carry Lookahead Adder | | | | D |  |
|  |  |  | | | |  |  |
| 3 | Quale vantaggio offre la microprogrammazione rispetto all’adozione di un’unità di controllo cablata? | Maggiore velocità | | | | A |  |
| Maggiore facilità di progettazione | | | | B |  |
| Minor costo dell’hardware necessario | | | | C |  |
| Maggiore affidabilità | | | | D |  |
|  |  |  | | | |  |  |
| 4 | L’adozione di un codice di Hamming per la correzione degli errori nelle memorie DRAM richiede l’aggiunta di alcuni bit alla memoria. A cosa sono associati i log2 n bit necessari? | A ciascun byte | | | | A |  |
| A ciascuna parola | | | | B |  |
| A ciascun blocco | | | | C |  |
| All’intera memoria | | | | D |  |
|  |  |  | | | |  |  |
| 5 | Si consideri una cache direct mapped composta da 128 linee da 32 byte ciascuna. Assumendo che la memoria principale sia composta da 64 Mbyte, qual è la dimensione in bit del campo tag? |  | | | | | |
|  |  |  | | | | | |
| 6 | Si consideri una memoria EPROM integrata all’interno di un sistema di elaborazione a microprocessore di tipo special purpose. Quale delle seguenti informazioni NON può essere memorizzata al suo interno? | Codice dell’applicazione | | | | A |  |
| Tabella di parametri | | | | B |  |
| Codice per il boot | | | | C |  |
| Variabili dell’applicazione | | | | D |  |
|  | | |  |  |
| 7 | Chi pilota i segnali di handshaking presenti in un bus asincrono? | La CPU | | | | A |  |
| La memoria | | | | B |  |
| L’arbitro | | | | C |  |
| Le due unità che devono scambiarsi dati | | | | D |  |
|  |  |  | | | |  |  |
| 8 | Che cosa afferma la legge di Moore? | La frequenza dei processori raddoppia ogni 18 mesi | | | | A |  |
| Le prestazioni dei processori raddoppiano ogni 18 mesi | | | | B |  |
| Il numero di transistor integrabili in un singolo circuito integrato raddoppia ogni 18 mesi | | | | C |  |
| Il consumo medio di un singolo circuito integrato si dimezza ogni 18 mesi | | | | D |  |
|  |  |  | | | | | |
| 9 | Quale delle seguenti istruzioni esegue una divisione per 16 del registro $s1, scrivendo il risultato in $s0? Si assuma che $s1 contenga un numero intero con segno. | srl $s0, $s1, 4 | | | | A |  |
| sra $s0, $s1, 4 | | | | B |  |
| sla $s0, $s1, 4 | | | | C |  |
| Non è possibile eseguire divisioni su numeri con segno usando istruzioni di scalamento | | | | D |  |

|  |  |  |
| --- | --- | --- |
| 10 | Si considerino tre variabili *a*, *b* e *c* in memoria, ciascuna su 32 bit. Si scriva un frammento di codice MIPS che esegua la divisione di *a* per *b*, scrivendo il quoziente in *c*. |  |

**Risposte corrette**

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 |
|  |  |  |  |  |  |  |  |  |  |

# Nome, cognome, matricola ….............................…………….......................……………………...............................................

# Parte 2

# Domande a risposta aperta (sino a 5 punti per ogni domanda) – Non è possibile consultare alcun materiale - Tempo: 40 minuti.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 11 | Si consideri un processore connesso ad una memoria da 128kB e dotato di una cache direct mapped da 8 linee, ciascuna da 32 byte. Assumendo che inizialmente le 8 linee contengano i primi 16 blocchi di memoria (quindi la linea 0 contiene il blocco 0, la linea 1 il blocco 1, e così via), si determini quali dei seguenti 12 accessi in memoria da parte del processore provocano un hit, e quali un miss, scrivendo H o M nella colonna di destra della corrispondente riga nella tabella.   |  |  |  |  | | --- | --- | --- | --- | | Indirizzo | Blocco | Linea acceduta | H/M | | 0 0000 0000 0011 0011 | 1 | 1 | H | | 1 0000 0000 0001 1000 | 2048 | 0 | M | | 0 0000 0010 1000 1110 | 20 | 4 | M | | 0 0000 0000 1011 1110 | 5 | 5 | H | | 0 0000 0000 1001 1111 | 205 | 4 | M | | 1 0000 0000 0011 0011 | 2049 | 1 | M | | 0 0000 0101 0001 0011 | 40 | 0 | M | | 0 0000 1010 0101 0100 | 80 | 2 | M | | 0 0000 0011 0011 0100 | 28 | 1 | M | | 0 0100 0000 0011 0110 | 513 | 1 | M | | 0 0000 1000 1001 1000 | 68 | 4 | M | | 1 0000 0000 0011 0111 | 2049 | 1 | H | |
| 12 | Utilizzando la tabella riportata, si elenchino le micro-operazioni eseguite da un processore MIPS durante la fase di fetch e l’esecuzione dell’istruzione addi $s1, $s2, 40.     |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | |  | **PCWrite** | **Branch** | **PCSrc** | **ALUControl** | **ALUSrcB** | **ALUSrcA** | **RegWrite** | **MemtoReg** | **RegDst** | **IRWrite** | **MemWrite** | **IorD** | | 1 |  |  |  |  |  |  |  |  |  |  |  |  | | 2 |  |  |  |  |  |  |  |  |  |  |  |  | | 3 |  |  |  |  |  |  |  |  |  |  |  |  | | 4 |  |  |  |  |  |  |  |  |  |  |  |  | | 5 |  |  |  |  |  |  |  |  |  |  |  |  | | 6 |  |  |  |  |  |  |  |  |  |  |  |  | | 7 |  |  |  |  |  |  |  |  |  |  |  |  | | 8 |  |  |  |  |  |  |  |  |  |  |  |  | | 9 |  |  |  |  |  |  |  |  |  |  |  |  | |
| 13 | Con riferimento al meccanismo del DMA   * Si descrivano le funzionalità offerte dal DMA Controller * Si evidenzi i vantaggi offerti dal DMA rispetto ad altri meccanismi di trasferimento dati da/verso periferiche, quali l’I/O programmato o l’interrupt * Si descrivano le connessioni tra il DMA controller e il resto del sistema * Si illustrino i passaggi attraverso i quali avviene un trasferimento in DMA, partendo dalla fase di programmazione da parte della CPU. |
| 14 | Un sommatore può essere realizzato utilizzando varie architetture, tra le quali   * Sommatore seriale * Sommatore di tipo Ripple Carry Adder * Sommatore di tipo Carry Lookahead Adder.   Per ciascuna di esse   1. Si elenchino i componenti hardware richiesti, specificando quanti componenti sono necessari per realizzare un sommatore su n bit e descrivendo i collegamenti tra i vari componenti 2. Se ne descriva il funzionamento 3. Si illustrino vantaggi e svantaggi. |

**Parte 3**

sino a 12 punti – è possibile consultare solamente il foglio consegnato con l’instruction set MIPS - tempo: 60 minuti